

#4
RM
5/3/00

HILL & SIMPSON
A PROFESSIONAL CORPORATION
ATTORNEYS AND COUNSELORS AT LAW
CHICAGO, ILLINOIS 60606-6592

JOHN D. SIMPSON*
JAMES A. MOEHLING
DENNIS A. GROSS
ROBERT M. BARRETT
STEVEN H. NOLL
KEVIN W. GUYNN
SCOTT W. PETERSEN
ROBERT M. WARD
BRETT A. VALIQUET
GEORGE C. SUMMERFIELD**
LEWIS T. STEADMAN, JR.
EDWARD A. LEHMAN
DAVID R. METZGER
TODD S. PARKHURST
JOHN R. NYWEIDE
JAMES D. HOBART
MELVIN A. ROBINSON
JOHN R. GARRETT
C. GRANT MCCORKHILL
JOSEPH P. REAGEN
MICHAEL R. HULL

PATRICIA A. KANE
MICHAEL S. LEONARD
WILLIAM E. VAUGHAN
BRYAN J. LEMPIA
PATRICK B. LAW***
THOMAS C. BASSO
MARK BERGNER
LEWIS T. STEADMAN
JAMES VAN SANTEN
MARVIN MOODY
J. ARTHUR GROSS
OF COUNSEL
DOLORES K. HANNA
SPECIAL TRADEMARK COUNSEL
CHRISTOPHER P. RAUCH
REG. PAT. AGENT
**MICHIGAN BAR ONLY
***MARYLAND AND MISSOURI BARS

CHICAGO OFFICE
85TH FLOOR SEARS TOWER
CHICAGO, ILLINOIS 60606
TELEPHONE (312) 876-0200
FACSIMILE (312) 876-0898
E-MAIL: counsel@hillfirm.com

WASHINGTON OFFICE
SUITE 1004-BLDG. I
2001 JEFFERSON DAVIS HIGHWAY
CRYSTAL CITY
ARLINGTON, VIRGINIA 22202
TELEPHONE (703) 415-1515

MUNICH OFFICE
FRANZ-JOSEPH STRASSE 38
D-80801 MUNICH, GERMANY
49-89-3840720

November 22, 1999

Hon. Assistant Commissioner for Patents
Washington D.C. 20231

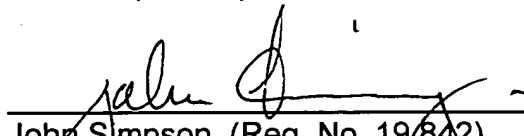
Re: Proposed Patent Application for SATOSHI YOSHIHARA entitled "SOLID-
STATE IMAGE-PICKUP AND ITS DRIVING METHOD", Attorney Docket
No. P99,1899

SIR:

Under the provisions of 37 CFR § 1.41 (c), I am filing the attached application
with 8 claims, 12 sheets of informal drawings and filing fee on behalf SATOSHI
YOSHIHARA and request that the application papers be assigned a serial number and
filing date.

I request that the application be assigned a Serial No. and Filing Date pursuant
to the provisions of 37 C.F.R. § 1.53(b) and 37 C.F.R. § 1.53(f).

Respectfully submitted,



John Simpson (Reg. No. 19,842)
Attorney for Applicant

66027-1000

599P12890500

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

15525 U.S. PTO
09/447301

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1998年11月27日

出 願 番 号

Application Number:

平成10年特許願第337764号

願 人

Applicant(s):

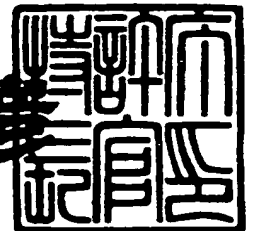
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 9月24日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



【書類名】 特許願

【整理番号】 9800919702

【提出日】 平成10年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明の名称】 固体撮像装置及びその駆動方法

【請求項の数】 4

【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 吉原 賢

【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代表者】 出井 伸之

【代理人】
【識別番号】 100080883
【弁理士】
【氏名又は名称】 松隈 秀盛
【電話番号】 03-3343-5821

【手数料の表示】
【予納台帳番号】 012645
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707386

特平 1 0 - 3 3 7 7 6 4

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 センサ列と、

各センサの信号電荷を同時に読み出して蓄積する蓄積ゲートと、

複数の転送レジスタとを有し、

上記各センサの信号電荷を上記複数の転送レジスタに振り分ける

ことを特徴とする固体撮像装置。

【請求項 2】 上記センサ列と上記蓄積ゲートの間に読み出しゲートを有することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 転送方向に向かってポテンシャル差を設けた上記蓄積ゲートを有することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】 センサ列の各センサの電荷を蓄積ゲートに同時に読み出し、

上記各センサの電荷を上記蓄積ゲートから複数の転送レジスタに振り分けて読み出し、

上記複数の転送レジスタを同時に駆動して、上記複数の転送レジスタに読み出された上記センサ列の電荷を出力する

ことを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、センサ列に対して複数の転送レジスタを設けた固体撮像装置及びその駆動方法に係わる。

【0002】

【従来の技術】

図 14 に従来のリニアセンサの 1 ラインの概略平面図を示す。

このリニアセンサ 50 では、画素となる複数の受光部いわゆるセンサ部（光電変換部）51 が一次元配列されたセンサ列 52 と、第 1 及び第 2 の CCD 水平転送レジスタ 53、54 と、水平-水平転送レジスタ 55 とを有して構成されてい

る。

【0003】

水平CCD転送レジスタ53, 54における転送は2相駆動で、水平駆動パルス $\phi h1$, $\phi h2$ が印加される。

また、水平-水平転送レジスタ55には、転送パルス ϕHH が印加される。

【0004】

各センサ部51のうち、偶数画素(even)の信号電荷、奇数画素(odd)の信号電荷は、それぞれ読み出しゲート56e, 56oで読み出しを別々に制御している。

偶数画素用の読み出しゲート56eには読み出しパルス ϕre が印加され、奇数画素用の読み出しゲート56oには読み出しパルス ϕro が印加される。

【0005】

この構成での転送タイミング例を図15に示す。

まず、水平駆動パルス $\phi h1$ がハイレベルの状態を読み出しパルス ϕre がハイレベルになることにより、読み出しゲート56eが開いて偶数画素(even)の信号電荷が第1の水平CCD転送レジスタ53に転送される。

【0006】

次に、転送パルス ϕHH がハイレベルの状態、水平駆動パルス $\phi h1$ がローレベルになることにより、偶数画素の信号電荷が第1の水平CCD転送レジスタ53から水平-水平転送用レジスタ55に移行する。

【0007】

次に、読み出しパルス ϕro と水平駆動パルス $\phi h2$ を同時にハイレベルにすることにより、読み出しゲート56oが開いて、奇数画素(odd)の信号電荷が第1の水平CCD転送レジスタ53に転送される。

このとき、さらに転送パルス ϕHH をローレベルにすると同時に水平駆動パルス $\phi h2$ をハイレベルにするので、水平-水平転送レジスタ55にあった偶数画素の信号電荷が第2の水平CCD転送レジスタ54の $\phi h2$ の転送部に転送される。

【0008】

この後は、第 1 及び第 2 の水平 CCD 転送レジスタ 53, 54 による通常の転送、即ち 2 相の水平駆動パルス $\phi h1$, $\phi h2$ を交互にハイレベル、ローレベルとする水平 CCD 転送を行い、信号として出力する。

【0009】

このように、同センサ列 52 の各センサ部 51 で蓄積した画素信号を複数の転送レジスタ 53, 54 に振り分けて転送を行う場合には、通常はセンサ列 52 から信号を振り分けて送るために、振り分ける転送レジスタ 53, 54 の数と同数の読み出しゲート 56e, 56o と読み出しパルス ϕre , ϕro を用意して転送を行っていた。

【0010】

【発明が解決しようとする課題】

しかしながら、このリニアセンサ 50 の構成では、偶数画素 (even) の信号電荷と奇数画素 (odd) の信号電荷の読み出しパルス ϕre と ϕro のタイミングが異なるために、これらの読み出しの時間差 ΔT により、信号電荷の蓄積時間も ΔT の差を生じる。

そして、この蓄積時間の差が、画素毎の感度差や読みとりのずれ等の原因となる。

【0011】

また、偶数画素と奇数画素に対して、それぞれ別個の読み出しゲート 56e と 56o を設けるため、読み出しゲートの構成及び読み出しゲートの駆動パルスが複雑になっていた。

【0012】

上述した問題の解決のために、本発明においては、各センサの感度差や読みとりのずれをなくして、良好な信号出力が得られる固体撮像装置及びその駆動方法を提供するものである。

【0013】

【課題を解決するための手段】

本発明の固体撮像装置は、センサ列と、各センサの信号電荷を同時に読み出して蓄積する蓄積ゲートと、複数の転送レジスタとを有し、各センサの信号電荷を

複数の転送レジスタに振り分けるものである。

【0014】

本発明の固体撮像装置の駆動方法は、センサ列の各センサの電荷を蓄積ゲートに同時に読み出し、この各センサの電荷を蓄積ゲートから複数の転送レジスタに振り分けて読み出し、この複数の転送レジスタを同時に駆動して、複数の転送レジスタに読み出されたセンサ列の電荷を出力する。

【0015】

上述の本発明装置の構成によれば、各センサの信号電荷を同時に読み出して蓄積する蓄積ゲートを有することにより、同時に読み出されるため各センサの信号電荷の蓄積時間が同じになり、センサ列の各センサの感度を同一として読み取りずれをなくすることができる。

【0016】

上述の本発明方法によれば、センサ列の各センサの電荷を蓄積ゲートに同時に読み出すことにより、各センサの信号電荷の蓄積時間が同じになり、センサ列の各センサの感度を同一とすることができ、またずれがない読み取りを行うことができる。

【0017】

【発明の実施の形態】

本発明は、センサ列と、各センサの信号電荷を同時に読み出して蓄積する蓄積ゲートと、複数の転送レジスタとを有し、各センサの信号電荷を複数の転送レジスタに振り分ける固体撮像装置である。

【0018】

また本発明は、上記固体撮像装置において、センサ部と蓄積ゲートの間に読み出しゲートを有する構成とする。

【0019】

また本発明は、上記固体撮像装置において、転送方向に向かってポテンシャル差を設けた蓄積ゲートを有する構成とする。

【0020】

本発明は、センサ列の各センサの電荷を蓄積ゲートに同時に読み出し、各セン

サの電荷を蓄積ゲートから複数の転送レジスタに振り分けて読み出し、複数の転送レジスタを同時に駆動して、複数の転送レジスタに読み出されたセンサ列の電荷を出力する固体撮像装置の駆動方法である。

【0021】

図1は本発明の一実施の形態としてCCDリニアセンサの概略平面図を示す。

図1では、1ラインのCCDリニアセンサに適用した場合を示す。

このCCDリニアセンサ1は、画素となる複数の受光部、いわゆるセンサ部（光電変換部）2が一次元配列されたセンサ列Aと、2本の水平CCD転送レジスタB、Cと、水平-水平転送用レジスタD、読み出しゲートE、蓄積ゲートFを有して構成されている。

【0022】

そして、各センサ部2のうち、偶数画素（even）の信号電荷が下側の第2の水平CCDレジスタCに、奇数画素（odd）の信号電荷が上側の第1の水平CCD転送レジスタBに振り分けて転送される構成とする。

【0023】

読み出しゲートEには読み出しパルス ϕ_{ROG} が、蓄積ゲートFには蓄積用パルス ϕ_{CHG} がそれぞれ印加される。

水平CCD転送レジスタB、Cにおける転送は2相駆動で、その水平駆動パルスをそれぞれ ϕ_{h1} 、 ϕ_{h2} とした。

また、水平-水平転送用レジスタDには、転送パルス ϕ_{HH} が印加される。

【0024】

尚、水平CCD転送レジスタBと蓄積ゲートFとの間には、図示しないがポテンシャルバリアを有するように構成する。これにより、蓄積ゲートFの蓄積用パルス ϕ_{CHG} と第1の水平CCD転送レジスタBの水平駆動パルス ϕ_{h1} 又は ϕ_{h2} が両方ローレベルの時に、蓄積ゲートFにある信号電荷が水平CCD転送レジスタBに流れないようにすることができる。

【0025】

この構成のCCDリニアセンサ1における駆動タイミングの一形態を図2に示す。

【0026】

まず時刻 t_1 において、 ϕROG 、 ϕCHG 、 ϕHH がハイレベル（オン）になることにより、センサ列Aの各センサ2の信号電荷が読み出しゲートEによって、同時に蓄積ゲートFに読み出される。

このとき、 $\phi h1$ 、 $\phi h2$ は共にローレベルである。

【0027】

次に、時刻 t_2 において、読み出しゲートEの読み出しパルス ϕROG をローレベルにする。これにより、読み出した信号電荷が蓄積ゲートFに蓄積される。

水平CCD転送レジスタBと蓄積ゲートFの間にはポテンシャルバリアバリアが形成されており、この時点では蓄積ゲートFに蓄積されている信号が第1の水平CCD転送レジスタBに流れることはない。

【0028】

次に、時刻 t_3 において、蓄積ゲートFの蓄積用パルス ϕCHG をローレベルにし、続いて $\phi h1$ をハイレベルにすると、蓄積ゲートFに蓄積されている信号のうち、偶数画素（even）の信号電荷が第1の水平CCD転送レジスタBに読み出される。

【0029】

次に、時刻 t_4 において、水平-水平転送レジスタDの転送パルス ϕHH がハイレベルの状態では $\phi h1$ をローレベルにすることにより、偶数画素（even）の信号電荷を第1の水平CCD転送レジスタBから水平-水平転送レジスタDに転送する。

【0030】

最後に、時刻 t_5 において、水平-水平転送レジスタDの転送パルス ϕHH をローレベルに、 $\phi h2$ をハイレベルにすることにより、偶数画素（even）の信号電荷を水平-水平転送レジスタDから下側の第2の水平CCD転送レジスタCに転送し、奇数画素（odd）の信号電荷を蓄積ゲートFから上側の第1の水平CCD転送レジスタBに転送する。

【0031】

その後、 $\phi h1$ と $\phi h2$ とを交互にハイレベル、ローレベルとする通常の水平

CCDレジスタ転送を行って、信号として出力する。

【0032】

上述のCCDリニアセンサ1の構成及び駆動タイミングを使用すると、各画素の信号電荷がセンサ列Aの各センサ部2から蓄積ゲートFに読み出されるタイミングが同一となるので、電荷の蓄積時間が等しくなり、従来生じていた感度差や読みとりのずれ等の問題が生じなる。

【0033】

図1では、CCDリニアセンサ1のセンサ列Aの信号電荷を2本の水平CCD転送レジスタB、Cに転送する場合であったが、水平CCD転送レジスタを3本以上にする場合には、水平-水平転送の駆動を転送レジスタの本数と同じ相数（3相、4相等）の駆動タイミングを使用して行うことにより、同様の転送を実現することが可能である。

【0034】

また、例えば3ラインカラーリニアセンサなど、2本以上のセンサ列を複数の水平転送レジスタに振り分けて転送する構成や、センサ列の上下にそれぞれ転送レジスタを配置した構成においても、同様に適用することができる。

【0035】

このうち、センサ列の上下に水平CCD転送レジスタを配置したいいわゆる両側読み出しのCCDリニアセンサに適用した場合の概略平面図を図3に示す。

【0036】

図3のCCDリニアセンサ11は、センサ列12の上側に2本の水平CCD転送レジスタ13、14が配置され、一方センサ列12の下側に2本の水平CCD転送レジスタ15、16が配置されている。

センサ列12の上側及び下側にはそれぞれ読み出しゲート17A、17Bが配置されている。

この読み出しゲート17A、17Bと内側の水平CCDレジスタ14、15との間にはそれぞれ蓄積ゲート18A、18Bが配置されている。

【0037】

また、上下の2本の水平CCD転送レジスタ13、14及び15、16の間に

は、それぞれ水平-水平転送レジスタ 19A, 19B が配置されている。

【0038】

そして、2つある読み出しゲート 17A, 17B、蓄積ゲート 18A, 18B、水平-水平転送レジスタ 19A, 19B は、それぞれ共通の読み出しパルス ϕ_{ROG} 、蓄積用パルス ϕ_{CHG} 、転送パルス ϕ_{HH} によって駆動がなされる。

【0039】

この CCD リニアセンサ 11 では、センサ列 12 の各画素（いわゆるセンサ部）が、画素に 1, 2, 3, 4 の数字を付しているように、4 画素毎の繰り返しで上下 2 本ずつ計 4 本の水平 CCD 転送レジスタ 13, 14, 15, 16 に振り分けられて転送される。

即ち、1 の画素の信号電荷はセンサ列 12 のすぐ下の水平 CCD 転送レジスタ 15 に、2 の画素の信号電荷はセンサ列 12 のすぐ上の水平 CCD 転送レジスタ 14 に、3 の画素の信号電荷は最も下の水平 CCD 転送レジスタ 16 に、4 の画素の信号電荷は最も上の水平 CCD 転送レジスタ 13 にそれぞれ転送される。

【0040】

この後は、2 相あるいは 4 相の水平駆動を行うことにより、各水平 CCD 転送レジスタ 13, 14, 15, 16 の信号電荷を出力することができる。

【0041】

尚、各画素 1, 2, 3, 4 の信号電荷の水平 CCD 転送レジスタ 13, 14, 15, 16 への振り分けは、上述の組み合わせ以外の構成とすることもできる。

【0042】

尚、2つある読み出しゲート 17A, 17B、蓄積ゲート 18A, 18B、水平-水平転送レジスタ 19A, 19B は、それぞれ別の駆動パルス（読み出しパルス、蓄積用パルス、転送パルス）で駆動する構成も採ることもできる。

しかし、図 3 に示したように、それぞれ共通の駆動パルス即ち、読み出しパルス ϕ_{ROG} 、蓄積用パルス ϕ_{CHG} 、転送パルス ϕ_{HH} によって駆動を行っても複数の水平 CCD 転送レジスタ 13, 14, 15, 16 への信号電荷の振り分けを行うことができるので、好ましくは共通の駆動パルスにより駆動を行う構成として、CCD リニアセンサ 11 の構成の簡略化を図る。

【0043】

一方、センサ列の片側に4本の水平CCD転送レジスタを配置したCCDリニアセンサに適用した場合の概略平面図を図4に示す。

【0044】

図4のCCDリニアセンサ21は、センサ列22の片側（図4では下側）に4本の水平CCD転送レジスタ23、24、25、26が配置され、センサ列22の下側に隣接して読み出しゲート27が配置され、読み出しゲート27と水平CCD転送レジスタ23との間に蓄積ゲート28が配置されている。

4本の水平CCD転送レジスタ23、24、25、26の間には、3本の水平-水平転送レジスタ29A、29B、29Cが配置されている。

【0045】

読み出しゲート27には読み出しパルス ϕ ROGが印加され、蓄積ゲート28には蓄積用パルス ϕ CHGが印加される。

3本の水平-水平転送レジスタ29A、29B、29Cには、それぞれ異なる転送パルス ϕ HH A、 ϕ HH B、 ϕ HH Cが印加され、これらの転送パルスによる3相駆動によって信号電荷の水平-水平転送がなされる。

【0046】

このCCDリニアセンサ21では、センサ列22の各画素が、画素に1、2、3、4の数字を付しているように、4画素毎の繰り返しで4本の水平CCD転送レジスタ23、24、25、26に振り分けられて転送される。

即ち、1の画素の信号電荷はセンサ列22のすぐ下の水平CCD転送レジスタ23に、2の画素の信号電荷はその下の水平CCD転送レジスタ24に、3の画素の信号電荷はその下の水平CCD転送レジスタ25に、4の画素の信号電荷は最も下の水平CCD転送レジスタ26にそれぞれ転送される。

【0047】

さらに、複数の水平CCD転送レジスタへの信号電荷の振り分けを、上述の各実施の形態のように蓄積ゲートで行う場合の他に、水平-水平転送レジスタで行う場合にも、上述の構成と同様にして実現することが可能である。

【0048】

図5は本発明のさらに他の実施の形態として、3ラインのCCDリニアセンサ31の概略平面図を示す。

このCCDリニアセンサ31は、例えばR（赤）、G（緑）、B（青）の3原色に対応して順に隣り合って配置されたセンサ列a、b、cと、センサ列aと隣接して配置されセンサ列aの各画素（センサ部）におけるodd（奇数）画素側とeven（偶数）画素側との各々の電荷を受けて各々転送を行う水平CCD転送レジスタd'、e'と、センサ列cと隣接して配置されセンサ列bの各画素（センサ部）におけるodd側とeven側との各々の電荷を受けて各々転送を行う水平CCD転送レジスタf'、g'と、水平CCD転送レジスタg'と隣接して配置されセンサ列cの各画素におけるodd側とeven側との各々の電荷を受けて各々転送を行う水平CCD転送レジスタh'、i'とを備えている。

【0049】

また、本実施の形態のCCDリニアセンサ31では、中央に配置されるセンサ列bの各画素から水平CCD転送レジスタf'、g'へ各々信号電荷を転送するための垂直レジスタvと、水平CCD転送レジスタd'、e'間に配置される水平-水平転送レジスタj'と、水平CCD転送レジスタf'、g'間に配置される水平-水平転送レジスタk'と、水平CCD転送レジスタg'、h'間に配置される水平-水平転送レジスタl'と、水平CCD転送レジスタh'、i'間に配置される水平-水平転送レジスタm'とを備えている。

【0050】

各水平CCD転送レジスタd'、e'、f'、g'、h'、i'には、それぞれ2相の水平駆動パルス ϕ_{h1} 、 ϕ_{h2} が印加され、信号電荷を水平方向へ順次転送するようになっている。

また、水平-水平転送レジスタk'には転送パルス ϕ_{HH1} が印加され、水平-水平転送レジスタl'には転送パルス ϕ_{HH2} が印加され、水平-水平転送レジスタm'及び水平-水平転送レジスタj'には転送パルス ϕ_{HH3} が印加され、各々水平CCD転送レジスタ間の電荷の流れを制御している。

【0051】

また、センサ列aの各画素と水平CCD転送レジスタe'との間及びセンサ列

cの各画素と水平CCD転送レジスタf'との間にはそれぞれ読み出しゲートn'、o'が設けられ、これら読み出しゲートに印加される読み出しパルス ϕ_{ROG} によって、各画素で取り込んだ電荷を水平CCD転送レジスタe'、d'及び水平レジスタh'、i'へ転送できるようになっている。

【0052】

さらに、垂直レジスタvには2相の垂直駆動パルス ϕ_{V1} と ϕ_{V2} が印加され、センサ列bの各画素におけるodd側とeven側とで取り込んだ電荷を水平CCD転送レジスタf'、g'へ転送できるようになっている。

【0053】

そして、本実施の形態においては、特にセンサ列aの各画素に隣接した転送ゲートn'と水平CCD転送レジスタe'の間及びセンサ列cの各画素に隣接した転送ゲートo'と水平CCD転送レジスタf'の間に、夫々先の実施の形態と同様の蓄積ゲートp'、q'を設けた構成とする。そして、これら蓄積ゲートp'、q'に印加される蓄積用パルス ϕ_{CHG} によって、読み出しゲートn'、o'や垂直レジスタvから転送された電荷を、いったんこの蓄積ゲートp'、q'に蓄積するようになっている。

【0054】

このように、本実施の形態のCCDリニアセンサ31においても、先の実施の形態と同様に蓄積ゲートp'、q'が設けられていることから、同一センサ列の各センサ部（画素）の信号電荷を同時に読み出して、一旦蓄積ゲートp'、q'に蓄積することにより、同一センサ列内の各センサ部（画素）における信号電荷の蓄積時間を、各センサ列a、b、cでそれぞれ等しくすることができる。

【0055】

また、本実施の形態においても、蓄積ゲートp'、q'と水平CCD転送レジスタe'、f'の間にポテンシャルバリアを設ける。

さらに、各水平CCD転送レジスタd'、e'、f'、g'、h'、i'においては、信号電荷がセンサ側に流れないように、センサ側の部分のポテンシャルを高くすることが好ましい。

【0056】

尚、3本のセンサ列a, b, cは隣接して配置されていることが望ましいが、必ずしも隣接していなくても2～3ライン程度離れて配置されていてもよい。

【0057】

次に、このCCDリニアセンサ31における具体的な駆動方法を説明する。図6～図11は電荷の転送の状態を順に説明する要部の概略平面図、図12は転送のタイミングチャートである。

この図6～図11では、センサ列b, cで蓄積した電荷の転送を示し、電荷を楕円形で表して説明を行っている。また、ローレベル（オフ）の状態の部分に斜線を付している。

【0058】

まず、図12に示す時刻 t_1 において、 $\phi h1$ がローレベル（以下Lowとする）、 $\phi h2$ がLow、 $\phi V1$ がLow、 $\phi V2$ がLow、 ϕROG がハイレベル（以下Highとする）、 ϕCHG がHigh、 $\phi HH1$ がHigh、 $\phi HH2$ がHigh、 $\phi HH3$ がHighとなると、図6Aに示すように、センサ列cの各画素から信号電荷が蓄積ゲート q' へ送られる。

【0059】

尚、このとき、 ϕROG がHighとなることによって、図5に示すセンサ列aの各画素から信号電荷が蓄積ゲート p' へ転送されることになる。

【0060】

次に、時刻 t_2 において、 ϕROG だけHighからLowに変化すると、読み出しゲート o' に残った電荷も蓄積ゲート q' に送られる。尚、このとき図5に示す読み出しゲート n' に残った電荷も蓄積ゲート p' へ転送される。

【0061】

次に、時刻 t_3 において、 $\phi h1$ がLow、 $\phi h2$ がHigh、 $\phi V1$ がLow、 $\phi V2$ がLow、 ϕROG がLow、 ϕCHG がLow、 $\phi HH1$ がHigh、 $\phi HH2$ がHigh、 $\phi HH3$ がHighとなると、図6Bに示すように、センサ列cの奇数画素（odd）における信号電荷における信号電荷が蓄積ゲート q' から水平-水平転送レジスタ k' まで転送される。このとき $\phi h2$ がハイレベルのため、センサ列cの奇数画素（odd）における信号電荷が水平CCD

転送レジスタ f' にも存在することもある。

【0062】

一方、センサ列 c の偶数画素 (even) における信号電荷は、 $\phi h1$ がローレベルであり、蓄積ゲート q' と水平 CCD 転送レジスタ f' との間のポテンシャルバリアが存在するため、蓄積ゲート q' がローレベルになっても引き続き蓄積ゲート q' に留まる。

【0063】

尚、このとき ϕCHG がローレベル、 $\phi h2$ 及び $\phi HH3$ がハイレベルとなることによって、図 5 に示すセンサ列 a の奇数画素 (odd) における信号電荷が蓄積ゲート p' から水平 CCD 転送レジスタ e' に転送されることになる。

一方、センサ列 a の偶数画素 (even) における信号電荷は、 $\phi h1$ がローレベルでポテンシャルバリアが存在するため、引き続き蓄積ゲート p' に留まる。

【0064】

次に、時刻 t_4 において、 $\phi h1$ が Low、 $\phi h2$ が Low、 $\phi V1$ が High、 $\phi V2$ が Low、 ϕROG が Low、 ϕCHG が Low、 $\phi HH1$ が High、 $\phi HH2$ が High、 $\phi HH3$ が High となると、図 7C に示すように、センサ列 b の各画素から信号電荷が垂直レジスタ v の上段 $V1$ へ送られる。

尚、センサ列 c の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ f' に残っていた場合、これも水平-水平転送レジスタ k' に送られる。

【0065】

尚、このとき $\phi h2$ がローレベルとなることによって、図 5 に示すセンサ列 a の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ e' から水平-水平転送レジスタ j' に転送されることになる。

【0066】

次に、時刻 t_5 において、 $\phi h1$ が High、 $\phi h2$ が Low、 $\phi V1$ が High、 $\phi V2$ が Low、 ϕROG が Low、 ϕCHG が Low、 $\phi HH1$ が Low、 $\phi HH2$ が High、 $\phi HH3$ が High となると、図 7D に示すように、センサ列 c の奇数画素 (odd) における信号電荷が水平-水平転送レジスタ k

’ から水平-水平転送レジスタ l’ まで送られる。このとき $\phi h1$ がハイレベルのため、センサ列 c の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ g’ に存在することもある。

一方、センサ列 c の偶数画素 (even) における信号電荷は、蓄積ゲート q’ から水平 CCD 転送レジスタ f’ に転送される。

【0067】

尚、このとき、 $\phi h1$ がハイレベルとなることによって、センサ列 a の奇数画素 (odd) における信号電荷が水平-水平転送レジスタ j’ から水平 CCD 転送レジスタ d’ に転送される。

また、センサ列 a の偶数画素 (even) における信号電荷が蓄積ゲート p’ から水平 CCD 転送レジスタ e’ に転送される。

【0068】

次に、時刻 t_6 において、 $\phi h1$ が High、 $\phi h2$ が Low、 $\phi V1$ が Low、 $\phi V2$ が High、 ϕROG が Low、 ϕCHG が Low、 $\phi HH1$ が High、 $\phi HH2$ が High、 $\phi HH3$ が High となると、図 8 E に示すように、センサ列 b の各画素における信号電荷が垂直レジスタ v の上段 V1 から下段 V2 へ送られる。

【0069】

次に、時刻 t_7 において、 $\phi h1$ が Low、 $\phi h2$ が Low、 $\phi V1$ が Low、 $\phi V2$ が Low、 ϕROG が Low、 ϕCHG が High、 $\phi HH1$ が High、 $\phi HH2$ が High、 $\phi HH3$ が High となると、図 8 F に示すように、センサ列 b の各画素における信号電荷が垂直レジスタ v の下段 V2 から蓄積ゲート q’ に転送される。

また、センサ列 c の偶数画素 (even) における信号電荷が水平 CCD 転送レジスタ f’ から水平-水平転送レジスタ k’ に転送される。

尚、センサ列 c の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ g’ に残っていた場合には、水平-水平転送レジスタ l’ に送られる。

【0070】

尚、このとき、 $\phi h1$ がローレベルとなることによって、センサ列 a の奇数画

素 (odd) における信号電荷が水平 CCD 転送レジスタ d' から水平-水平転送レジスタ j' に戻る。

また、センサ列 a の偶数画素 (even) における信号電荷も水平 CCD 転送レジスタ e' から水平-水平転送レジスタ j' に転送される。

【0071】

次に、時刻 t_g において、 ϕ_{h1} が Low、 ϕ_{h2} が High、 ϕ_{V1} が Low、 ϕ_{V2} が Low、 ϕ_{ROG} が Low、 ϕ_{CHG} が Low、 ϕ_{HH1} が Low、 ϕ_{HH2} が Low、 ϕ_{HH3} が High となると、図 9 G に示すように、センサ列 c の奇数画素 (odd) における信号電荷が、水平-水平転送レジスタ l' から水平-水平転送レジスタ m' まで送られる。このとき ϕ_{h2} がハイレベルのため、センサ列 c の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ h' にも存在することもある。

また、センサ列 c の偶数画素 (even) における信号電荷は、水平-水平転送レジスタ k' から水平 CCD 転送レジスタ g' に転送される。

【0072】

そして、 ϕ_{h2} がハイレベルになることにより、センサ列 b の奇数画素 (odd) における信号電荷が蓄積ゲート q' から水平 CCD 転送レジスタ f' に転送される。

一方、センサ列 b の偶数画素 (even) における信号電荷は、 ϕ_{h1} がローレベルのためポテンシャルバリアが存在し、引き続き蓄積ゲート q' に留まる。

【0073】

尚、このとき、 ϕ_{h2} がハイレベルとなることによって、センサ列 a の奇数画素 (odd) における信号電荷が水平-水平転送レジスタ j' から水平 CCD 転送レジスタ e' に転送される。

また、センサ列 a の偶数画素 (even) における信号電荷が水平-水平転送レジスタ j' から水平 CCD 転送レジスタ d' に転送される。

【0074】

次に、時刻 t_g において、 ϕ_{HH2} が High になると、図 9 H に示すように、各信号電荷が基本的には図 9 G と同じ位置に留まるが、水平-水平転送レジ

スタは通常水平 CCD 転送レジスタより深いポテンシャルとされるため、センサ列 c の偶数画素 (even) における信号電荷が水平 CCD 転送レジスタ g' から水平-水平転送レジスタ l' に流れることもある。

【0075】

次に、時刻 t_{10} において、 ϕ_{HH1} が High に変わると、図 10 I に示すように、各信号電荷が基本的には図 9 G 及び図 9 H と同じ位置に留まるが、センサ列 b の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ f' から水平-水平転送レジスタ k' に流れることもある。

【0076】

尚、前述のように各水平 CCD 転送レジスタのセンサ側のポテンシャルを浅くしておけば、この時刻 t_{10} において ϕ_{HH1} がハイレベルになっても、センサ列 c の奇数画素 (odd) における信号電荷が、水平 CCD 転送レジスタ g' からセンサ側の水平-水平転送レジスタ k' に流れ込まないようにすることができる。これにより、センサ列 c の奇数画素における信号電荷とセンサ列 b の奇数画素における信号電荷とが混合されることを防止できる。

【0077】

次に、時刻 t_{11} において、 ϕ_{h1} が Low、 ϕ_{h2} が Low、 ϕ_{V1} が Low、 ϕ_{V2} が Low、 ϕ_{ROG} が Low、 ϕ_{CHG} が Low、 ϕ_{HH1} が High、 ϕ_{HH2} が High、 ϕ_{HH3} が High となると、センサ列 c の偶数画素 (even) における信号電荷が水平 CCD レジスタ g' から水平-水平転送レジスタ l' に転送される。

尚、センサ列 c の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ h' に残っていた場合には、水平-水平転送レジスタ m' に送られる。

【0078】

また、センサ列 b の奇数画素 (odd) における信号電荷が水平 CCD レジスタ f' から水平-水平転送レジスタ k' に転送される。

【0079】

尚、このとき、 ϕ_{h2} がローレベルとなることによって、センサ列 a の奇数画素 (odd) における信号電荷が水平 CCD 転送レジスタ e' から水平-水平転

送レジスタj'に戻る。

また、センサ列aの偶数画素(even)における信号電荷も水平CCD転送レジスタd'から水平-水平転送レジスタj'に戻る。

【0080】

次に、時刻 t_{12} において、 $\phi h1$ がHigh、 $\phi h2$ がLow、 $\phi V1$ がLow、 $\phi V2$ がLow、 ϕROG がLow、 ϕCHG がHigh、 $\phi HH1$ がLow、 $\phi HH2$ がLow、 $\phi HH3$ がLowとなると、図11Kに示すように、センサ列cの奇数画素(odd)における信号電荷が水平-水平転送レジスタm'から水平CCD転送レジスタi'に転送され、一方センサ列cの偶数画素(even)における信号電荷が、水平-水平転送レジスタl'から水平CCD転送レジスタh'に転送される。

【0081】

また、センサ列bの奇数画素(odd)における信号電荷が水平-水平転送レジスタk'から水平CCD転送レジスタg'に転送される。

そして、 $\phi h1$ がハイレベルになるので、センサ列bの偶数画素(even)における信号電荷が蓄積ゲートq'から水平CCD転送レジスタf'に読み出される。

【0082】

尚、このとき、 $\phi h1$ がハイレベルとなることによって、センサ列aの奇数画素(odd)における信号電荷が水平-水平転送レジスタj'から水平CCD転送レジスタd'に転送される。

また、センサ列aの偶数画素(even)における信号電荷が水平-水平転送レジスタj'から水平CCD転送レジスタe'に転送される。

【0083】

次に、時刻 t_{13} において、 ϕCHG がLowに変わることにより、図11Lに示すように、蓄積ゲートq'に残った信号電荷(例えばセンサ列bの偶数画素)も水平CCD転送レジスタf'に転送される。

このとき、蓄積ゲートp'に残った信号電荷(例えばセンサ列aの偶数画素)も同様に水平CCD転送レジスタe'に転送される。

【0084】

これにより、センサ列b, cの各画素における信号電荷が、偶数画素(even)と奇数画素(odd)とに分かれて夫々水平CCD転送レジスタf', g', h', i'に転送されることになる。

この状態で、水平CCD転送レジスタf', g', h', i'に水平駆動パルス $\phi h1$, $\phi h2$ を順に印加することにより各信号電荷を水平方向へ転送できるようになる。

【0085】

また、同様にセンサ列aの各画素における信号電荷が、偶数画素(even)と奇数画素(odd)とに分かれて夫々水平CCD転送レジスタd', e'に転送され、この状態で水平CCD転送レジスタd', e'に駆動パルス $\phi h1$, $\phi h2$ を順に印加することにより各信号電荷を水平方向へ転送できるようになる。

【0086】

このような転送により、各センサ列a, b, cの各画素で取り込んだ電荷を偶数画素と奇数画素に分けて各センサ列間の時差を発生させることなく出力できるようになる。

【0087】

また、各センサ列a, b, cが隣り合って配置されていることから、信号電荷の読み出しにおける空間的なずれを非常に少なくすることができ、電荷電圧変換部(図示せず)の後段にメモリや補正回路を設けなくても色ずれ等を発生させずに済むようになる。

【0088】

上述の各実施の形態においては、読み出しゲートの電極と蓄積ゲートの電極をそれぞれ設けた構成であったが、読み出しゲートと蓄積ゲートとを同一のゲート電極により構成することもできる。この場合の構成を次に示す。

【0089】

図13Aに示すように、半導体部の表面の読み出しゲートに該当する部分41と、蓄積ゲートに該当する部分42とを例えばそれぞれ異なる不純物濃度 n^- と n^+ として、図13Bにポテンシャル図を示すように蓄積ゲート側42のポテン

シャルが深くなるように構成し、これらの領域 41, 42 の上に共通のゲート電極 43 を形成する。このゲート電極 43 には駆動パルス ϕ RCG が印加される。

【0090】

このように構成することにより、それぞれ別々にゲート電極を形成する構成と同様に、センサ列の各センサ部 40 の信号電荷を同時に蓄積ゲート 42 に読み出して蓄積し、この蓄積ゲート 42 に蓄積した信号電荷を複数の水平 CCD 転送レジスタに振り分けることができる。

【0091】

このように、読み出しゲートと蓄積ゲートとを同一のゲート電極 43 で構成することにより、電極の数を減らして製造工程を簡略化することができる。

さらに、ゲート電極 43 を太くしても、読み出しゲートと蓄積ゲートのトータルの幅を、ゲート電極を別々に形成した場合と比較して低減することが可能であるため、ゲート電極 43 を太くすることにより、ゲート電極 43 の抵抗を低減し、またゲート電極 43 の形成やゲート電極 43 と上層配線とのコンタクトの形成が容易になる利点を有し、かつトータルの電極幅を低減できることによりセンサ列間隔を低減できる利点を有することになる。

【0092】

1 つの蓄積ゲートに対応するセンサ列が 1 列の場合には、蓄積ゲートに信号電荷を読み出すための駆動タイミングが 1 つで済むため、このように読み出しゲートと蓄積ゲートを同一のゲート電極 43 で兼用する構成とすることができる。

即ち図 1 の構成、図 3 の構成、図 4 の構成、及び図 5 の構成の一番上のセンサ列 a に適用することができる。

【0093】

上述の本発明の各実施の形態によれば、各センサの信号電荷が蓄積ゲートに同時に読み出されることにより、センサ毎の蓄積時間の差をなくすることができるため、読み出しタイミングの時間的な違いによる感度差、読みとりの空間的、時間的なずれが原理的になくなる。

【0094】

従って、固体撮像装置において良好な信号出力が得られると共に、複数の転送

レジスタに振り分けて転送が行われるために信号転送の高速化が図られる。

【0095】

上述の実施の形態では、リニアセンサに本発明を適用した例であったが、センサがマトリクス状に配置されたエリアセンサに適用することもできる。

このエリアセンサの場合には、2次元配列されたセンサ部において、その水平ラインのセンサ部をセンサ列とみなす。

例えば各センサ列に対してそれぞれ垂直転送レジスタが設けられ、この垂直転送レジスタに信号電荷を読み出して、さらに複数の水平転送レジスタに信号電荷を転送して、水平転送レジスタ内を転送させて信号電荷を出力する構成のエリアセンサにおいて、垂直転送レジスタと水平転送レジスタとの間に蓄積ゲートを設ける。

そして、蓄積ゲートから複数の水平転送レジスタに信号電荷を振り分けるようにする。

これにより、エリアセンサにおいても信号電荷の転送の高速化が図られる。

【0096】

本発明の固体撮像装置及びその駆動方法は、上述の各実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0097】

【発明の効果】

上述の本発明によれば、各センサの信号電荷が蓄積ゲートに同時に読み出されることにより、読み出しタイミングの時間的な違いによる感度差、読みとりの空間的、時間的なずれが原理的になくなる。

【0098】

従って、良好な信号出力が得られると共に、複数の転送レジスタに振り分けて転送が行われるため信号転送の高速化が図られる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態のCCDリニアセンサの概略平面図である。

【図2】

図1のCCDリニアセンサの駆動タイミングの一形態を示す図である。

【図3】

両側読み出しのCCDリニアセンサに適用した場合の概略平面図である。

【図4】

センサ列の片側に4本の水平CCD転送レジスタを配置したCCDリニアセンサに適用した場合の概略平面図である。

【図5】

本発明のさらに他の実施の形態の3ラインのCCDリニアセンサの概略平面図である。

【図6】

A、B 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図7】

C、D 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図8】

E、F 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図9】

G、H 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図10】

I、J 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図11】

K、L 図5のCCDリニアセンサにおける信号電荷の転送の状態を説明する要部の概略平面図である。

【図12】

図5のCCDリニアセンサの駆動タイミングの一形態を示すタイミングチャー

トである。

【図 13】

読み出しゲートと蓄積ゲートとを共通のゲート電極で兼用した構成の実施の形態である。

A 要部の断面図である。

B 読み出しゲートと蓄積ゲートのポテンシャル図である。

【図 14】

従来のリニアセンサの概略平面図である。

【図 15】

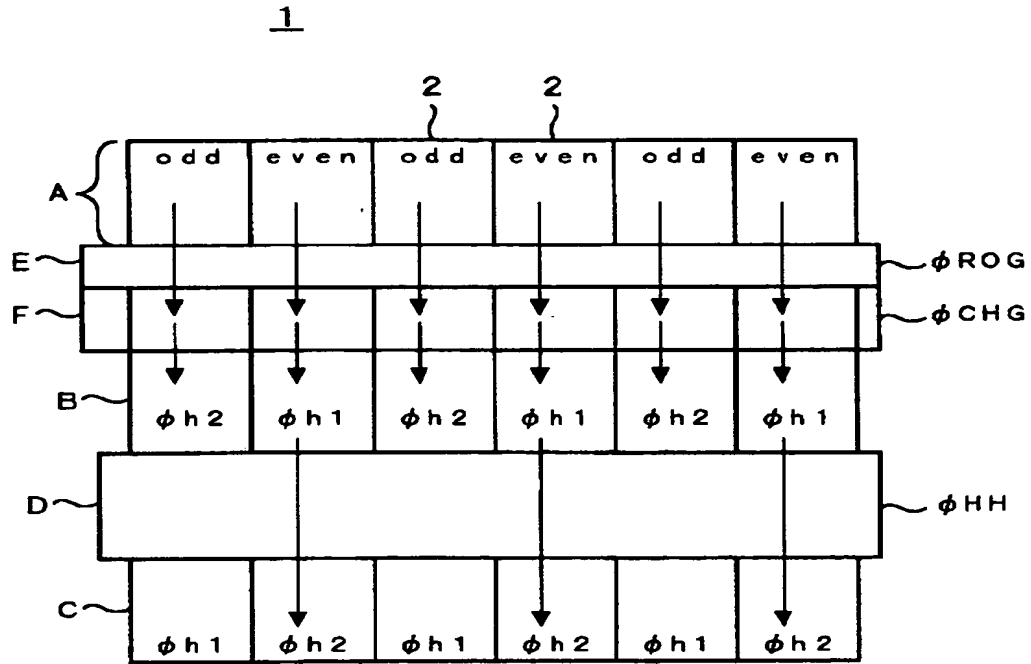
図 14 のリニアセンサの駆動タイミングを示す図である。

【符号の説明】

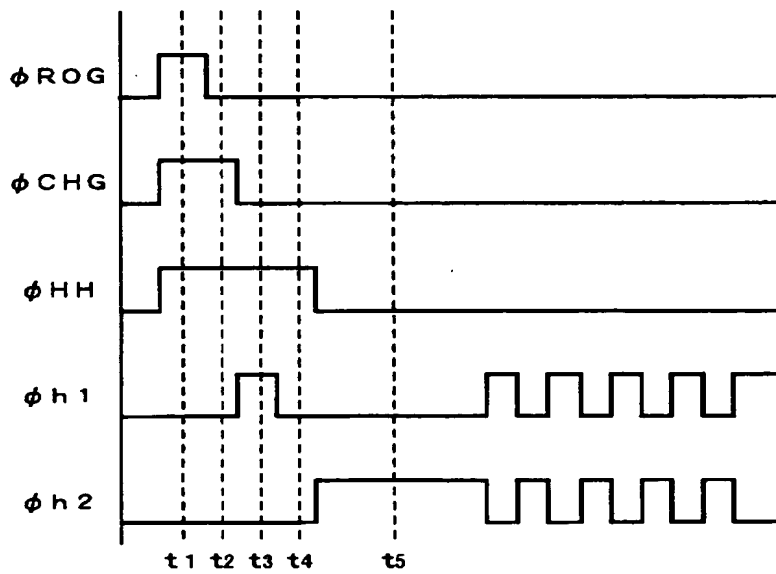
1, 11, 21, 31 CCDリニアセンサ、2 センサ部、12, 22, A, a, b, c センサ列、13, 14, 15, 16, 23, 24, 25, 26, B, C, d', e', f', g', h', i' 水平CCD転送レジスタ、17 A, 17 B, 27, 41, E, n', o' 読み出しゲート、18 A, 18 B, 28, 42, F, p', q' 蓄積ゲート、19 A, 19 B, 29 A, 29 B, 29 C, D, j', k', l', m' 水平-水平転送レジスタ、v 垂直レジスタ

【書類名】 図面

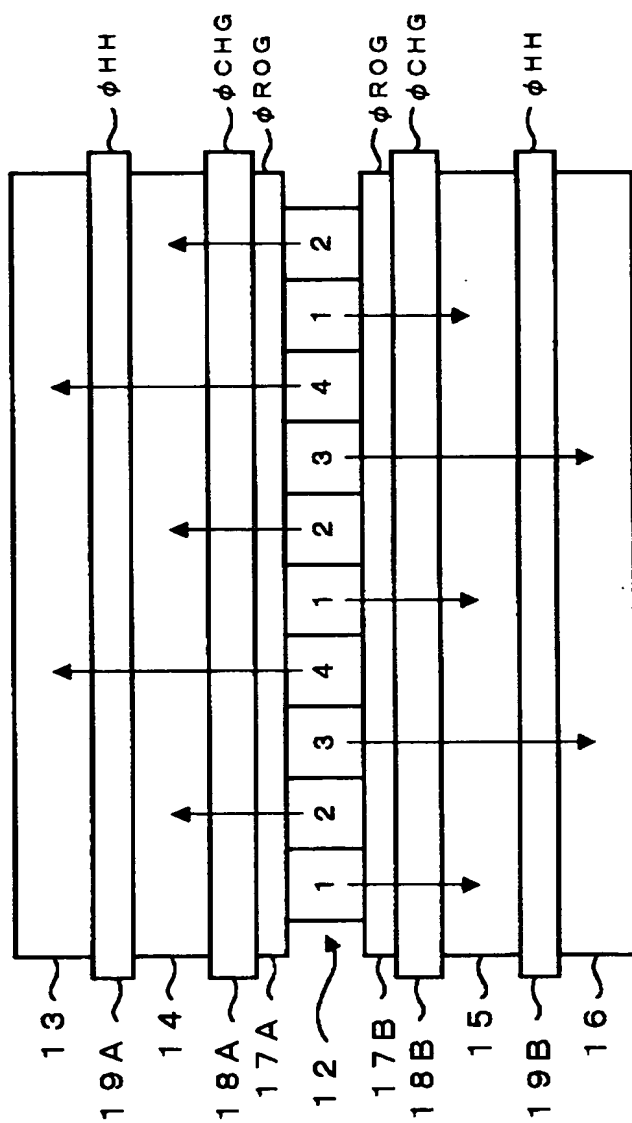
【図 1】



【図 2】

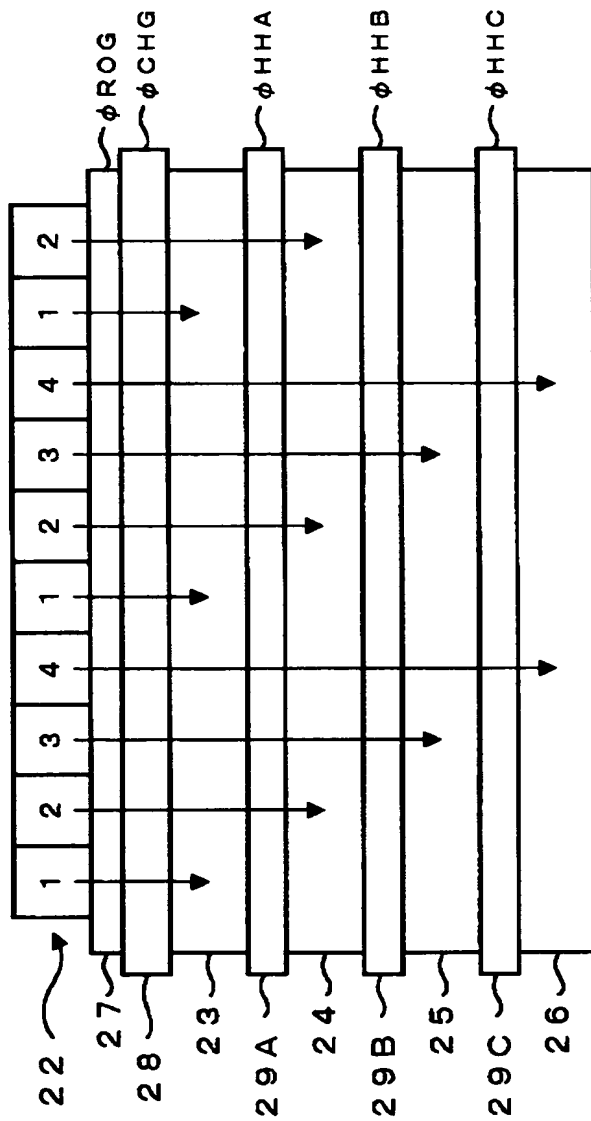


【図3】



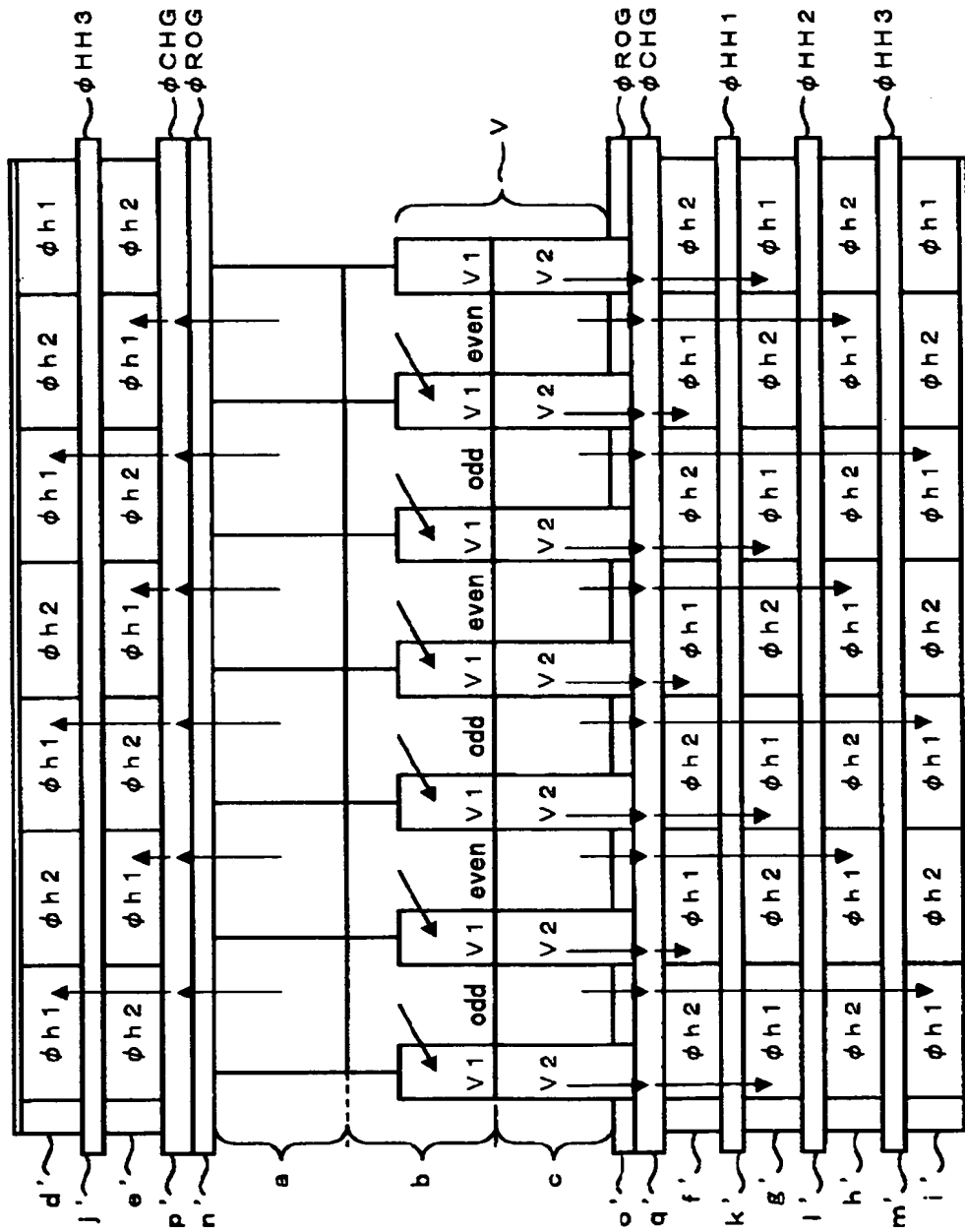
11

【図4】

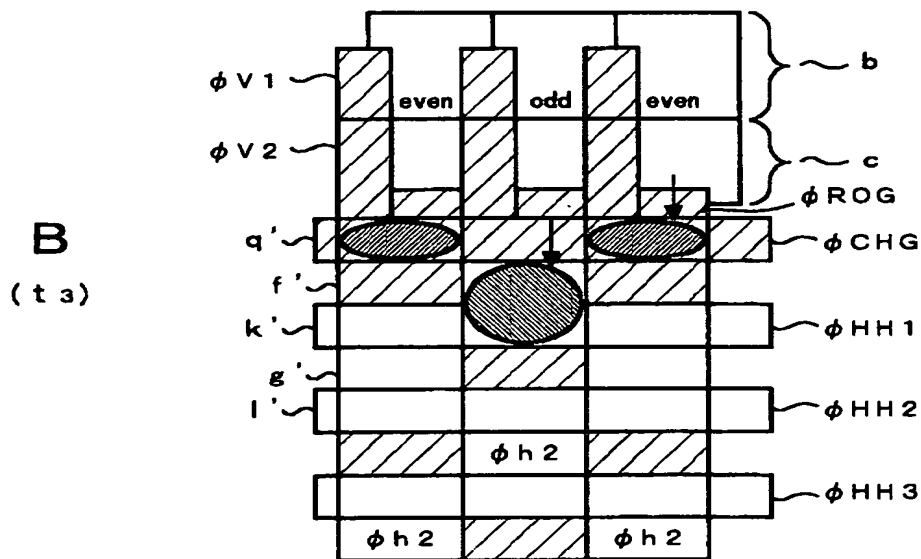
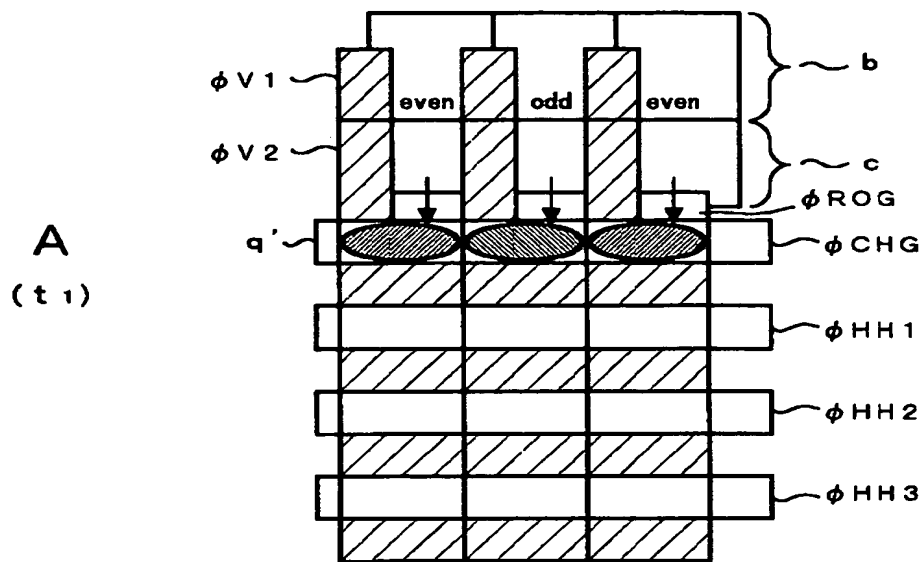


21

【図 5】

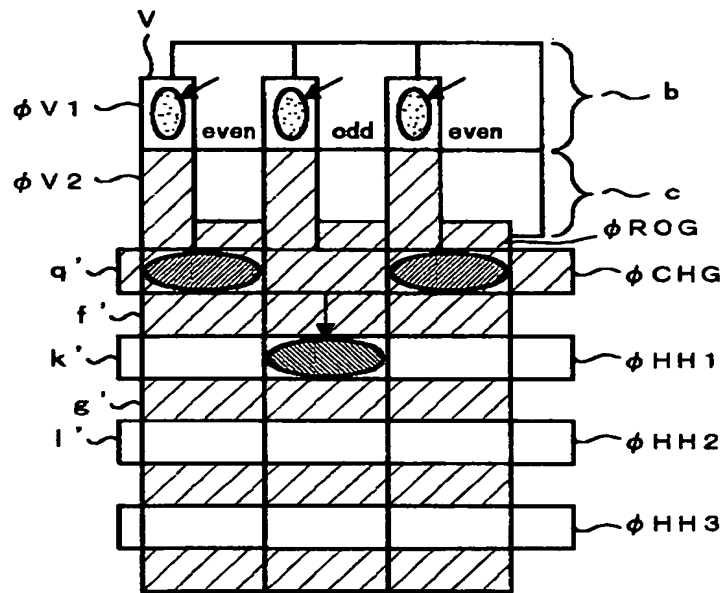


【図 6】

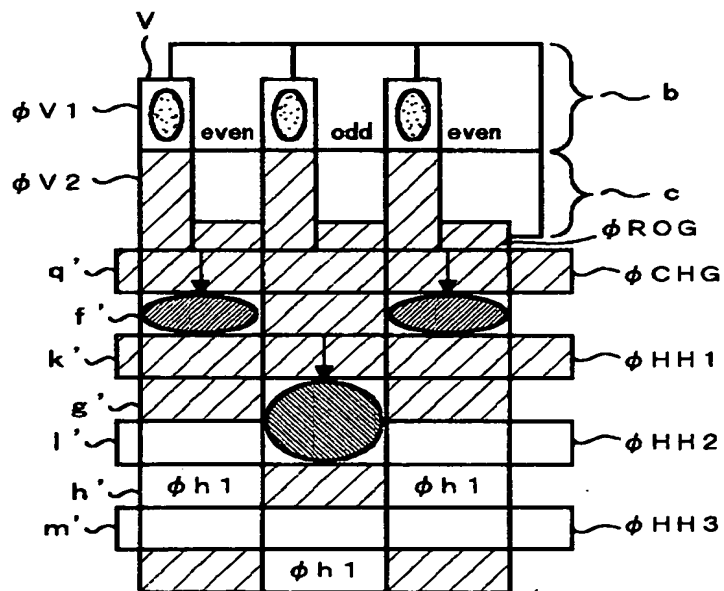


【図 7】

C
(t 4)

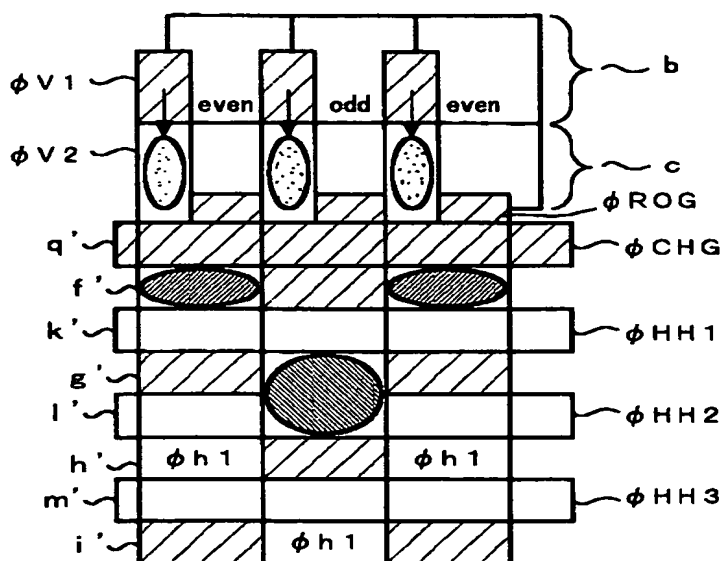


D
(t 5)

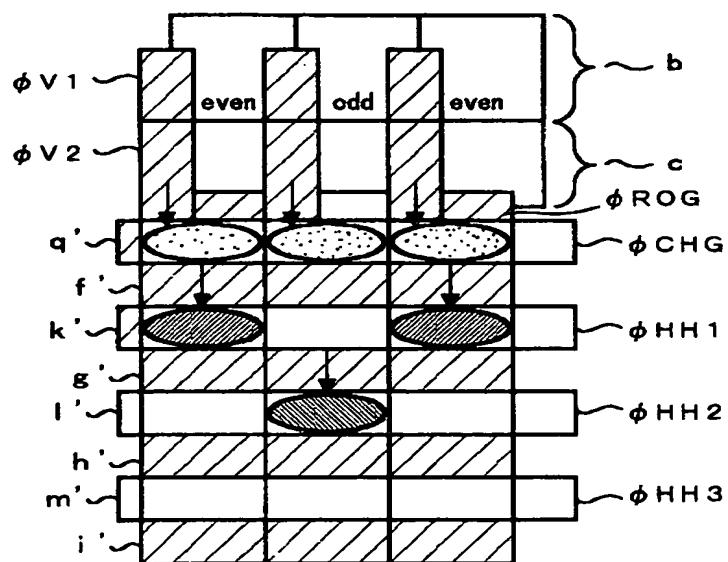


【図 8】

E
(t 6)

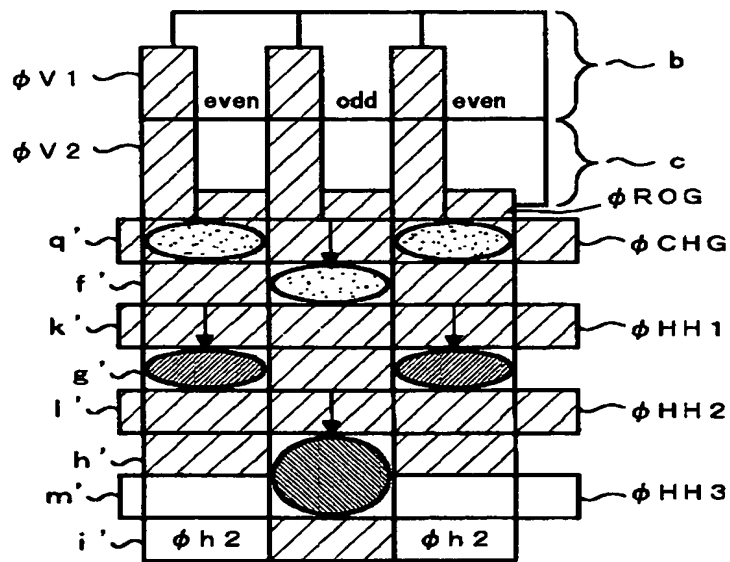


F
(t 7)

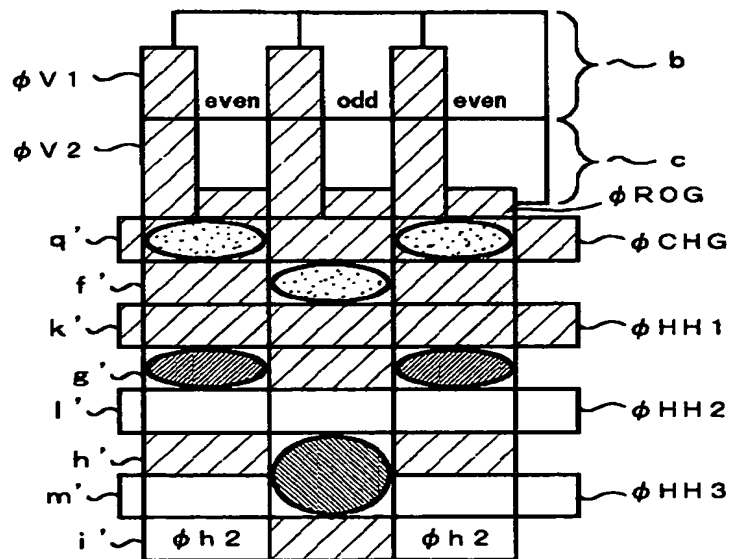


【図 9】

G
(t 8)

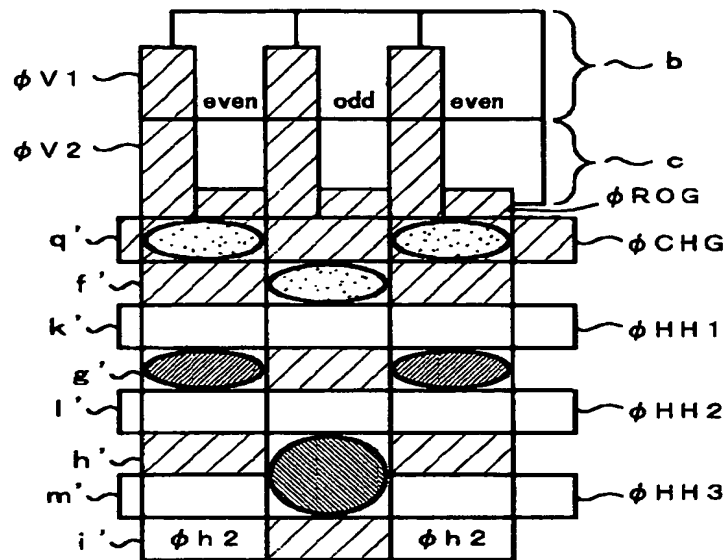


H
(t 9)

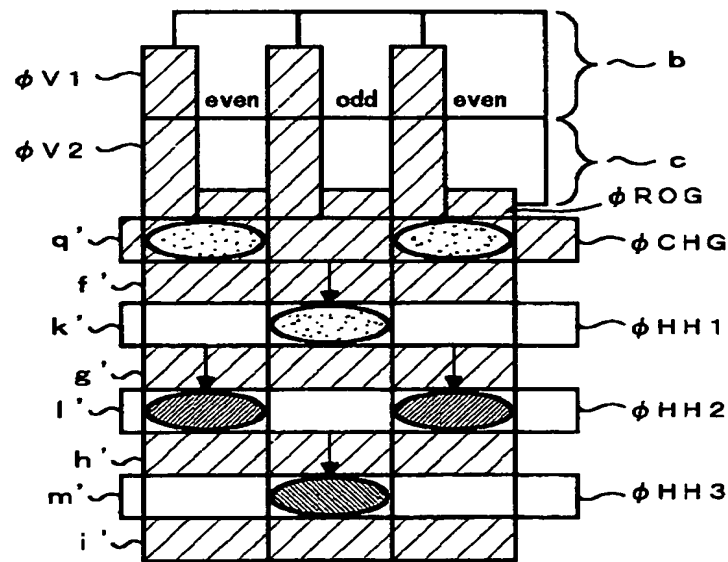


【図 10】

I
(t₁₀)

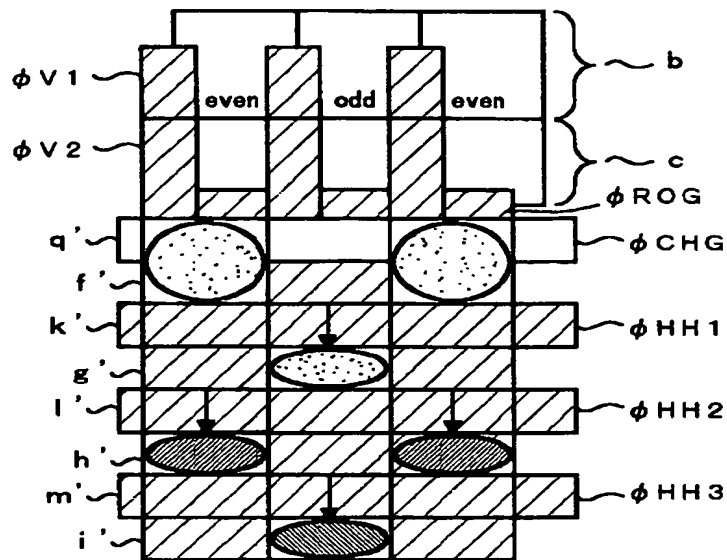


J
(t₁₁)

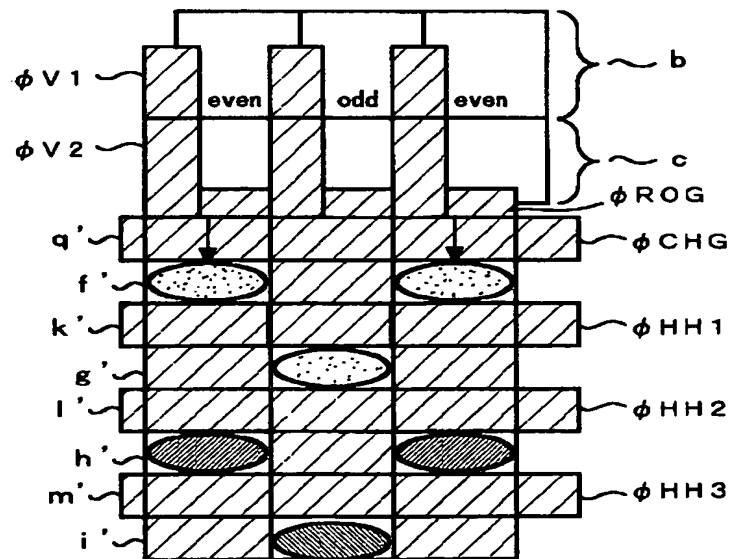


【図 11】

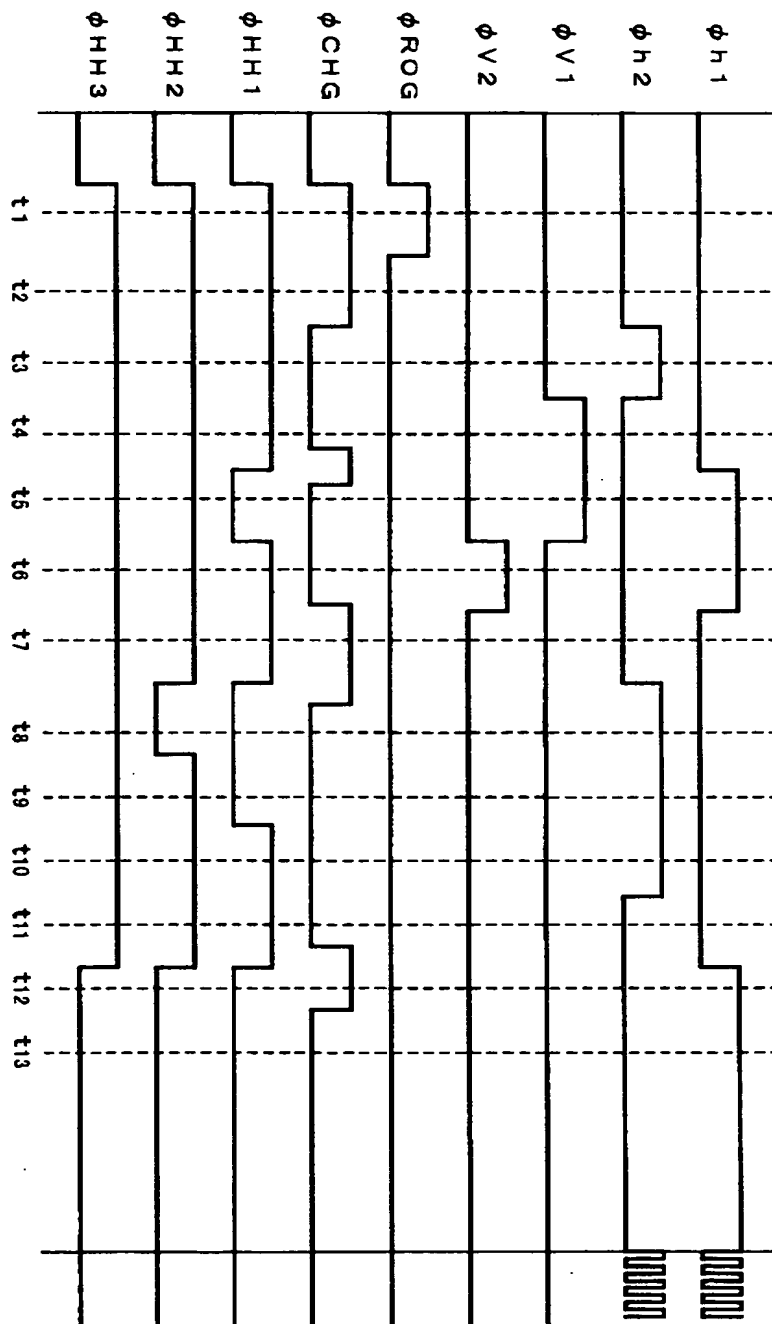
K
(t 12)



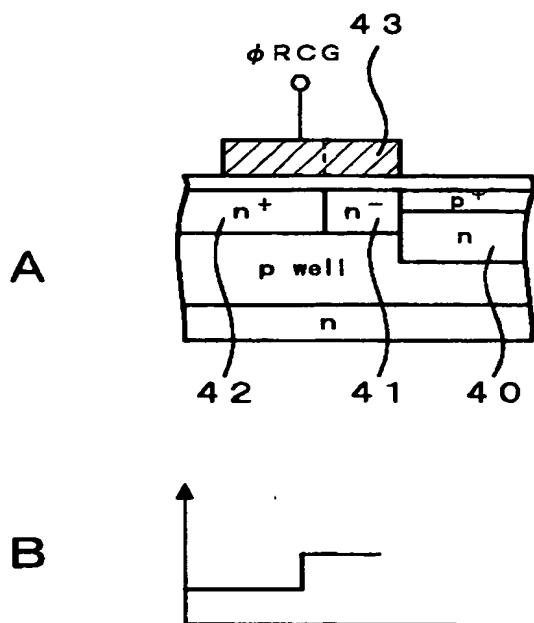
L
(t 13)



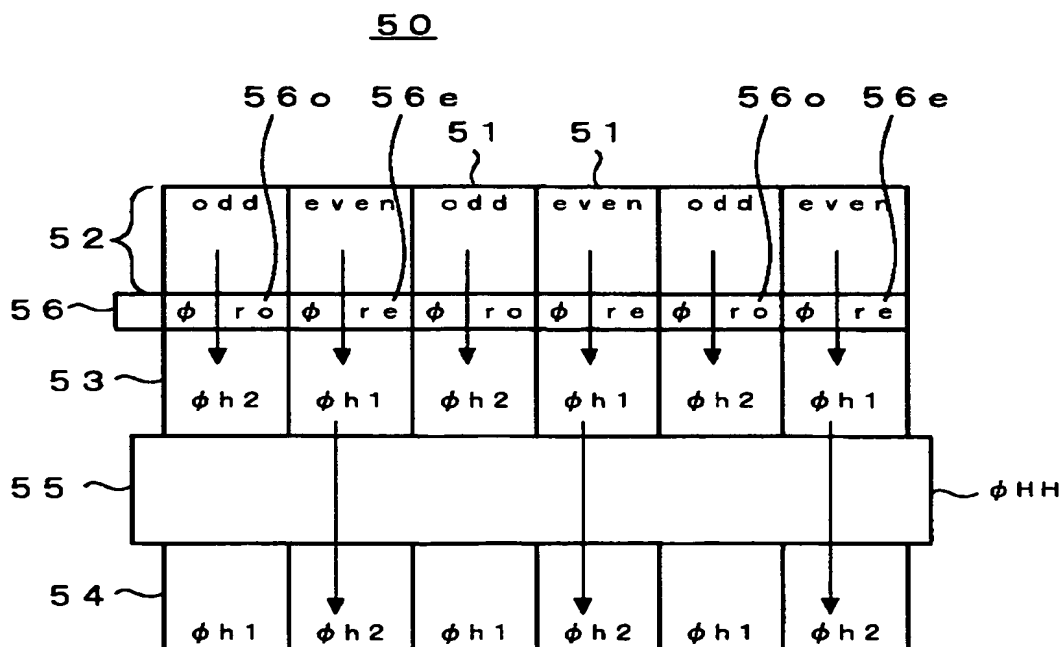
【図 1 2】



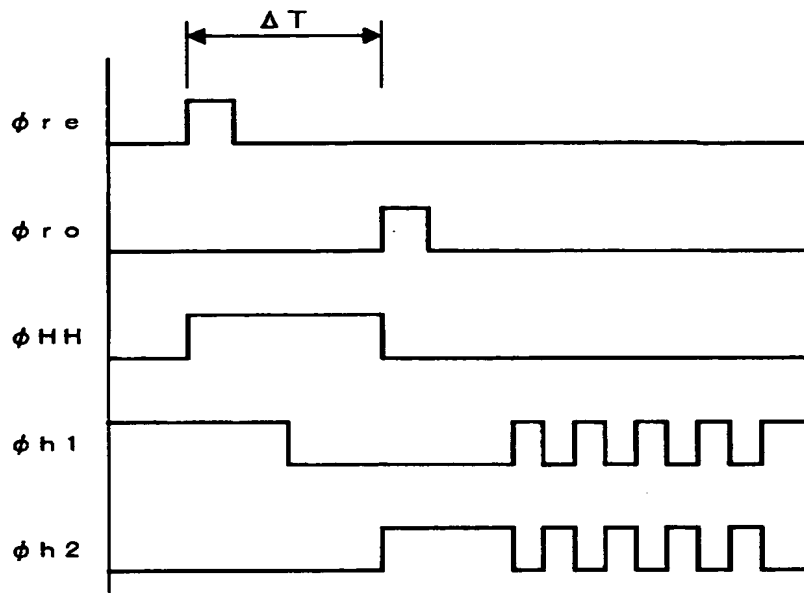
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 各センサの感度差や読み取りのずれをなくして、良好な信号出力が得られる固体撮像装置及びその駆動方法を提供するものである。

【解決手段】 センサ列Aと、各センサ2の信号電荷を同時に読み出して蓄積する蓄積ゲートFと、複数の転送レジスタB、Cとを有し、各センサ2の信号電荷を複数の転送レジスタB、Cに振り分ける固体撮像装置1を構成する。

また、センサ列Aの各センサ2の電荷を蓄積ゲートFに同時に読み出し、この各センサ2の電荷を蓄積ゲートFから複数の転送レジスタB、Cに振り分けて読み出し、この複数の転送レジスタB、Cを同時に駆動して、複数の転送レジスタB、Cに読み出されたセンサ列Aの電荷を同時に出力するように固体撮像装置1の駆動を行う。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000002185
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号
【氏名又は名称】 ソニー株式会社
【代理人】 申請人
【識別番号】 100080883
【住所又は居所】 東京都新宿区西新宿 1-8-1 新宿ビル 松隈特
許事務所
【氏名又は名称】 松隈 秀盛

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社